

РАЗРАБОТКА ДЕКОДЕРА ДЛЯ РЕШЕНИЯ ЗАДАЧИ РАЗМЕЩЕНИЯ И ТРАССИРОВКИ СБИС

Рихтер М. Р.

ФГБОУ ВПО «Уфимский государственный авиационный технический университет», Уфа, Россия (450000, Уфа, ул. Карла Маркса, 12), e-mail: MargoRihter2009@mail.ru

В статье рассмотрены второй и третий этапы проектирования сверхбольших интегральных схем (СБИС): планирование размещения элементов на кристалле и физическое соединение этих элементов (трассировка). Задачи планирования и трассировки NP-трудные. Для решения задачи планирования был адаптирован метод локального спуска. Задача трассировки была решена с помощью известного алгоритма проверки планарности графа на базе процедур генетического алгоритма. Был разработан декодер, осуществляющий размещение элементов (модулей) по комнатам плана на кристалле и их соединение, с учетом конструкторско-технологических ограничений. Проведен численный эксперимент на основе готового тестового набора модулей из стандартной библиотеки MCNC Floorplan Bench mark. Также были проведены эксперименты на тестовых наборах задач: ami33, ami49, rp100, pcb146.

Ключевые слова: планирование, трассировка, декодер, кристалл, комнаты, план, модули.

WORKING OUT OF THE DECODER FOR THE DECISION OF THE PROBLEM OF PLACING AND TRACE AT VLSI DESIGNING

Rikhter M. R.

The Ufa State aviation technical university, Ufa, Russia (450000, Ufa, Charles Marx's street, 12), e-mail: MargoRihter2009@mail.ru

In article the second and third design stages of the superbig integrated schemes (VLSI) are considered: planning of placing of elements on a crystal and physical connection of these elements (trace). Planning and trace problems NP-difficult. For the decision of a problem of planning the method of Local Search has been adapted. The trace problem has been solved by means of known algorithm of check planar the count on the basis of procedures of genetic algorithm. The decoder which is carrying out placing of elements (modules) on rooms of the plan on a crystal and their connection with the account of konstruktorsko-technological restrictions has been developed. Numerical experiment on the basis of a ready test set of modules from standard library MCNC Floorplan Bench mark is made. Also experiments on test sets of problems have been made: ami33, ami49, rp100, pcb146.

Key words: planning, trace, the decoder, a crystal, rooms, the plan, modules.

Введение

Проблемой размещения элементов на кристалле так же, как и проблемой соединения между собой этих элементов, занимается такое направление в компьютерной науке, как *проектирование СБИС (VLSI Design)*. Задача проектирования СБИС является актуальной, т.к. в настоящее время перед производителями компьютерных комплектующих стоят задачи увеличения производительности компьютеров. Этапы проектирования СБИС представлены в [11]. В данной статье рассматриваются второй и третий этапы проектирования.

Целью работы является решение задачи планирования и разработка эффективного алгоритма для решения задачи трассировки СБИС с применением процедур генетического алгоритма.

1. Методы решения задач при проектировании СБИС

Известны разнообразные схемы эволюционных вычислений для решения задачи планирования СБИС [2]. В работе [3] отмечено, что ГА являются затратными в плане используемой памяти. В [10] для решения задачи планирования СБИС используется меметический алгоритм. В [9] для решения задачи планирования СБИС применяют дифференциальную эволюцию (ДЭ). В [4] задачу планирования СБИС решают с помощью муравьиного алгоритма.

В настоящее время из-за высокого уровня сложности современных микросхем (особенно БИС и СБИС) к автоматизированному проектированию СБИС, продукты компании Mentor Graphics и Cadence позволяют решать сколь угодно сложные задачи. Однако смещение акцента с последовательной бесконфликтной прокладки проводников на сначала стопроцентную разводку с конфликтами, затем оптимизирующуюся для уменьшения количества конфликтов, перевело алгоритмы, лежащие в основе пакетов проектирования, из класса последовательных в класс оптимизационных, что, как выяснилось, оказывает колоссальное влияние на качество разводки [8]. Качественная разводка проводников зависит также от качественного размещения элементов на кристалле.

Следовательно, задачи планирования и автоматической трассировки на сегодняшний день не решены полностью, так как эти задачи NP-трудные, оптимизационные, и построить универсальный алгоритм невозможно.

2. Постановка задачи проектирования СБИС

Задача проектирования СБИС сводится к квадратичной задаче о назначениях [5]. Эта задача NP-трудная.

Рассматривается задача размещения функциональных элементов (модулей) на кристалле. Имеется структурная схема, на которой показаны взаимное расположение модулей и соединения между ними. Заданы возможные позиции (комнаты) для размещения модулей. Известны трассы между позициями для прокладки проводников. Необходимо разместить функциональные элементы (модули) по одному в каждую позицию таким образом, чтобы:

1. связи прокладывались по установленным трассам;
2. суммарная длина связей была минимальной;
3. площадь кристалла была минимальной при заданных технологических ограничениях.

При этом $G(V, E)$ – граф связей, который является интерпретацией структурной схемы, где V – число вершин графа, E – число ребер. Вершинами в графе G являются модули, ребрами – соединения между модулями; $K = \{1, \dots, n\}$ – возможные позиции (комнаты) для размещения модулей.

В данной статье для решения задачи проектирования СБИС используется подход, предложенный С. Zhuang, К. Sakanushi, L. Jin, Y. Kajitani (Япония) [11].

Дано: $M=\{1,\dots,n\}$ – множество прямоугольников (модулей); $K=\{1,\dots,n\}$ – возможные позиции (комнаты) для размещения прямоугольников (модулей).

Найти размещение прямоугольников по комнатам плана на кристалле, при котором площадь кристалла была бы минимальной при требуемых технологических ограничениях (1)–(3).

Дано: кристалл с размещенными на нём прямоугольниками (модулями); структурная схема S , на которой заданы взаимное расположение модулей и соединения между ними.

Требуется: соединить модули на кристалле таким образом, чтобы площадь кристалла была минимальной при заданных технологических ограничениях (4)–(6).

Конструкторско-технологические ограничения [6]:

1. Ребра всех прямоугольников параллельны осям координат;
2. Каждый прямоугольник не пересекается с любым другим прямоугольником;
3. Каждый прямоугольник не пересекается с осями координат;
4. Соединения не должны пересекаться и накладываться друг на друга;
5. Допустимое расстояние между проводниками: 3–4 мкм;
6. Минимально допустимая длина проводника 4 мкм.

3. Планирование

Под *планированием* понимается разбиение чипа на n прямоугольников (*комнат*), каждая из которых содержит по одному модулю. Совокупность комнат, полученных при разбиении, назовем *планом (floorplan)* (план не включает размещаемые модули).

Задачей планирования является получение такого размещения модулей, при котором площадь полученного чипа была бы минимальна. В данной работе эта задача решена с помощью метода локального спуска [11].

3.1. Q-последовательность

QS [11] представляет из себя последовательность, состоящую из набора индексов комнат плана и *позиционных символов (Positional Symbols – R и B)*, описывающих расположение комнаты относительно других комнат. На рис. 1 представлен план.

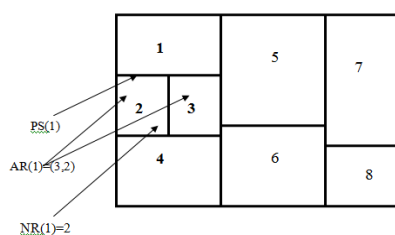


Рис. 1. План с $n=8$ комнатами

Кодирование Q -последовательности Q из плана P осуществляется по алгоритму, описанному в [11]:

Рассмотрим пример формирования QS по заданному плану (рис. 1):

i	$PS(i)$, тип	$AR(i)$	$NR(i)$	QS
1	горизонтальный	(3,2)	2	$1B_3B_2$
2	вертикальный	(3)	3	$1B_3B_22R_3$
3	горизонтальный	(4)	4	$1B_3B_22R_33B_4$
4	вертикальный	(6, 5)	5	$1B_3B_22R_33B_44R_5$
5	горизонтальный	(6)	6	$1B_3B_22R_33B_44R_55B_6$
6	вертикальный	(8, 7)	7	$1B_3B_22R_33B_44R_55B_66R_7$
7	горизонтальный	(8)	8	$1B_3B_22R_33B_44R_55B_66R_77B_8$
8	-			$1B_3B_22R_33B_44R_55B_66R_77B_88$
L		T		
$R_4R_2R_1$		$B_7B_5B_1$	$R_4R_2R_1B_7B_5B_11B_3B_22R_33B_44R_55B_66R_77B_88$	

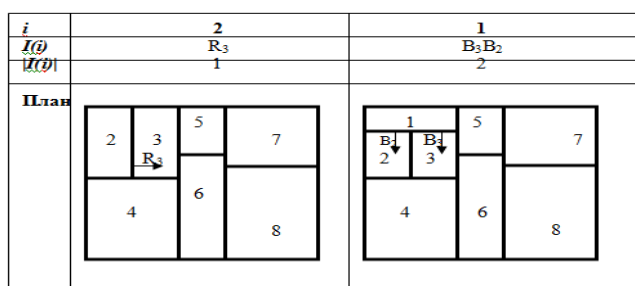
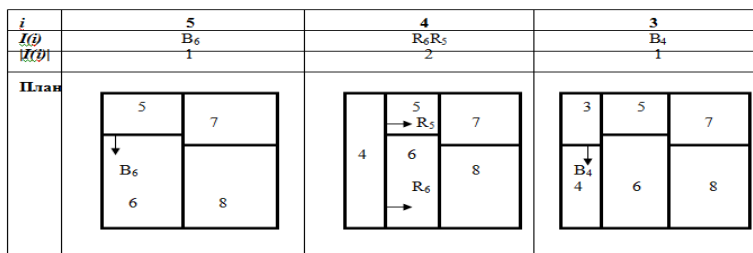
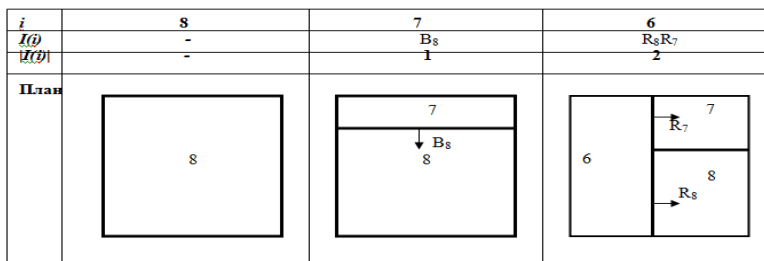
3.2. QS-декодер

Декодер – специализированная процедура, осуществляющая получение упаковки на основе исходных данных задачи и закодированного представления решения.

Для декодирования Q -последовательности Q в план P используется алгоритм, представленный в [11]:

Рассмотрим пример получения плана, из заданной QS :

$$QS = R_4R_2R_1B_7B_5B_11B_3B_22R_33B_44R_55B_66R_77B_88$$



Задача планирования решена с помощью метода локального спуска [11].

3.3 Структурная схема метода локального спуска

Инициализация алгоритма.	
Получение начального решения (размещение всех прямоугольников в одну колонку, соответствующая $QS = R_1R_2 \dots R_n$, $B_11B_22 \dots B_n11$ с последующим применением декодера) и запоминание его как текущего рекордного решения.	
Начало основного цикла.	
Цикл по всем решениям из окрестности рекордного решения.	
Случайный выбор очередной QS из окрестности с вероятностью p .	
Получение решения-упаковки из этой QS путем применения декодера.	
Вычисление оценки этого решения.	
Сравнение полученного решения с лучшим решением окрестности.	
Полученное решение лучше.	Полученное решение хуже.
Запоминаем полученное решение как лучшее решение из окрестности.	Продолжаем.
Сравнение лучшего решения из окрестности с рекордным решением.	
Новое решение лучше.	Новое решение хуже.
Запоминаем новое решение как рекордное.	Заканчиваем основной цикл.
Переход на начало основного цикла.	
Восстановление лучшей упаковки из рекордной QS с помощью декодера. Завершение работы	

3.4. Численные эксперименты

Таблица 1. Результаты численных экспериментов

Задача	д	Общая площадь	QS-LS			QS-TS			QS-SA	Enhanced O-tree	B*-tree	СВП
			P = 1	P = 0.5	P = 0.1	P = 1	P = 0.5	P = 0.1				
ami33	33	1.156	1.773	1.804	1.549	1.614	1.891	2.036	1.594	1.55	1.57	1.60
ami49	49	35.433	52.565	51.117	38.476	52.338	53.969	41.229	38.75	38.73	38.80	38.5
gp100	100	205.069	278.290	272.510	309.400	268.685	270.130	269.535	-	-	-	-
pcb146	146	78.560	181.192	173.408	144.183	181.192	172.288	147.222	-	-	-	-

Как видно из результатов тестов (таблица 1), при размерности $n=33$, $n=49$ и $P=0,1$ алгоритм QS-LS показывает лучшие результаты.

4. Общая схема алгоритма для решения задачи трассировки на кристалле

Вход: план P с размещёнными по «комнатам» модулями (прямоугольниками), полученный на базе алгоритма локального спуска; структурная схема соединений модулей в виде графа, заданного списком смежности.

Выход: план P' , удовлетворяющий ограничениям (1–6) с соединёнными проводниками модулями в соответствии со структурной схемой.

Шаг 1. Соединение модулей плана проводниками в соответствии со структурной схемой.

Шаг 2. Построение графа $G = (V,E)$, соответствующего схеме, в котором вершины V – это модули, а ребра E – проводники, соединяющие модули.

Шаг 3. Если имеются пересечения проводников, то применяем алгоритм проверки планарности графа на базе процедур генетического алгоритма [1], который строит базис циклов V_r и формирует приоритетный список ребер.

Шаг 4. Выполняем процедуру «декодер», осуществляющую размещение модулей по полученному приоритетному списку и их соединение с учётом условий 1–6.

Шаг 5. Конец алгоритма трассировки.

Пример работы алгоритма (шаг 1 – шаг 3) приведен в [7].

Рассмотрим подробнее шаг 4 на примере работы алгоритма декодера.

4.1. Пример работы алгоритма декодера

Шаг 1. Формирование плана размещения (рис. 2).

$PL9 = \{1(1,2), 6(2,3), 2(3,1); 5(1,8), 7(8,2); 8(3,6), 4(6,1); 13(6,5), 3(5,1); 15(5,8); 9(8,3); 16(6,7), 14(7,5); 10(6,4), 11(4,7); 12(8,4)\}$

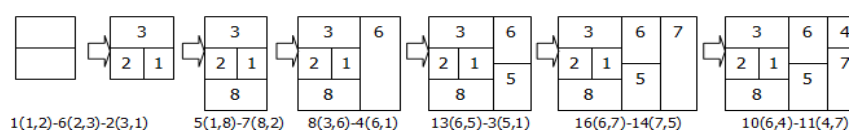


Рис. 2. Формирование плана размещения

Шаг 2. Размещение модулей по комнатам плана.

Шаг 3. Соединение модулей (рис. 4) согласно структурной схеме (рис. 3).

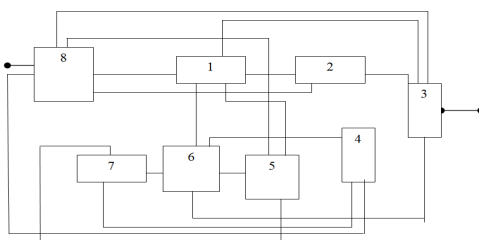


Рис. 3. Структурная схема

Расчет точек соединения производится с учетом условий 1–6 (стр. 3), т.е. соединения должны быть ортогональными, удовлетворять технологическим ограничениям и быть минимальной длины.

$PL9 = \{1(1,2), 6(2,3), 2(3,1); 5(1,8), 7(8,2); 8(3,6), 4(6,1); 13(6,5), 3(5,1); 15(5,8); 9(8,3); 16(6,7), 14(7,5); 10(6,4), 11(4,7); 12(8,4)\}$

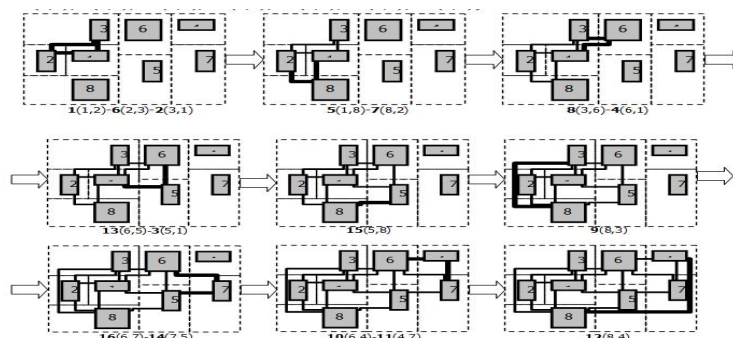


Рис. 4. Соединение модулей согласно структурной схеме (рис. 4).

Шаг 4. Упаковка полученного размещения (рис. 5).

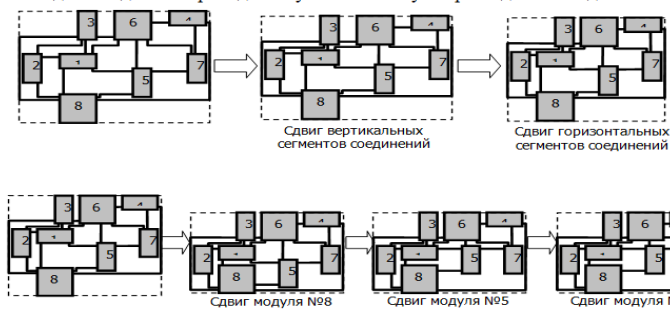


Рис. 5. Упаковка полученного размещения

Данный алгоритм был реализован на языке Delphi. Рассмотрим пример (рис. 6 – рис. 8).

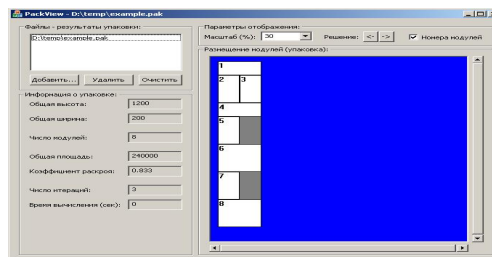


Рис. 6. План P , полученный на базе алгоритма «локального спуска» [11].

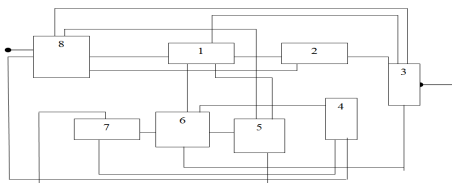


Рис. 7. Структурная схема

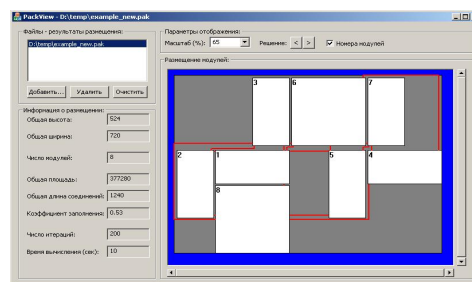


Рис. 8. План P' , удовлетворяющий ограничениям 1–6, с соединенными проводниками модулями в соответствии со структурной схемой (рис. 7)

Заключение

Основные результаты работы заключаются в следующем: адаптирован метод локального спуска для решения задачи планирования, адаптирован алгоритм проверки планарности графа на базе процедур генетического алгоритма к задаче трассировки; разработан декодер, осуществляющий размещение модулей по комнатам плана и их соединение с учетом конструкторско-технологических ограничений; разработано программное обеспечение, реализующее метод локального спуска, алгоритм проверки планарности графа на базе процедур генетического алгоритма и алгоритм декодера.

Разработанный алгоритм для решения задачи проектирования СБИС позволяет, в отличие от известных подходов, легко восстановить расположение модулей на кристалле таким образом, чтобы проводники, соединяющие модули, не пересекались, с учетом конструкторско-технологических ограничений.

Список литературы

1. Емельянов В. В., Курейчик В. М., Курейчик В. В. Теория и практика эволюционного моделирования: учеб. пособие / В. В. Емельянов, В. М. Курейчик, В. В. Курейчик. – М: Физматлит, 2003. – С. 432.
2. Курейчик В. В., Курейчик В. М., Родзин С. И. Концепция эволюционных вычислений, инспирированных природными системами // Известия ЮФУ. Технические науки. – 2009. – № 4 (93). – С. 16–24.
3. Курейчик В. М. Биоинспирированный поиск с использованием сценарного подхода // Известия ЮФУ. Технические науки. – 2010. – № 7 (108). – С. 7–13.
4. Лебедев О. Б. Планирование СБИС на основе метода муравьиной колонии // Известия ЮФУ. Технические науки. – 2010. – № 7 (108). – С. 67–73.
5. Лагздин А. Ю. Построение и анализ алгоритмов решения квадратичной задачи о назначениях на сетях: Автореф. дис. ... канд. физ.-мат. наук. – Омск, 2012.
6. Пономарев М. Ф., Коноплев Б. Г. Конструирование и расчет микросхем и микропроцессоров: учеб. пособие для высших учебных заведений / М. Ф. Пономарев, Б. Г. Коноплев. – М.: Наука, 1986. – С. 142.
7. Рихтер М. Р. Алгоритм трассировки при проектировании СБИС // Научно-технические ведомости СПбГПУ. Информатика. Телекоммуникации. Управление. – № 5 (133). – С. 111–118.
8. Burstein M. Channel routing, Layout Design and Verification [Text] / M. Burstein // Elsevier Science. – 1986. – P. 133–167.
9. Jackuline D., Arumugam S., Gracia D. VLSI Floorplanning relying on Differential Evolution Algorithm // ICGST International Journal on Artificial Intelligence and Machine Learning. – 2007. – Vol. 7. – № 1. – P. 62–67.
10. Tang, Maolin and Yao, Xin. A memetic algorithm for VLSI floorplanning // IEEE Transactions On Systems, Man, And Cybernetics. – Part B: Cybernetics. – 2007. – № 37 (1). – P. 58–62.

11. Zhuang C., Sakanushi K., Jin L., Kajitani Y. An Enhanced Q-Sequence Augmented with Empty-Room-Insertion and Parenthesis Trees / C. Zhuang, K. Sakanushi, L. Jin, Y. Kajitani // The manual. Proceedings of Design Automation. – 2002. – P. 61–68.

Рецензенты:

Юсупова Нафиса Исламовна, д.т.н., профессор, декан ФИРТ, зав. кафедрой ВМиК, ФГБОУ ВПО УГАТУ, г. Уфа.

Куликов Геннадий Григорьевич, д.т.н., профессор, зав. кафедрой АСУ, ФГБОУ ВПО УГАТУ, г. Уфа.